

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 62259140 A

(43) Date of publication of application: 11.11.87

(51) Int. Cl.

G06F 9/36
G06F 12/02

(21) Application number: 61101910

(22) Date of filing: 08.05.86

(71) Applicant: OKI ELECTRIC IND CO LTD

(72) Inventor:
IIDA MASAO
JIYUFUKU TOSHIO
MORI GIICHI
NOMURA AKIRA

(54) ADDRESS GENERATING CIRCUIT

(57) Abstract

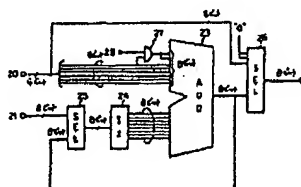
PURPOSE: To obtain an address generating circuit that can decrease the number of instruction steps produced by the generation of addresses, by deciding with control whether the code extension of an offset address supplied to an adder should be carried out or not.

CONSTITUTION: When an index operation filed IDX is equal to '00', the address qualification data (i) is held as it is in a selection field IX24 and an offset address A is outputted as it is to the contents of a generated address. Then the address value AD_2 with which the codes of the address A are infinite is outputted to an output terminal 22. When the field IDX is equal to '01', an adder 23 is set under an inhibition mode with the input of the address A. Thus the adder 23 performs an addition ($i+AD_2$) and outputs it. Then the adder 23 is set under a code extension mode with $ADX=10$ and regards the address A as a number having a code. Thus the code is extended up to the bit length equal to (i) and the adder 23 performs an addition ($i+A=+AS.AD_1$) and outputs it. When $ADX=11$ is satisfied, the same addition as that carried out in a mode of $ADX=10$ is performed and outputted via a selector

26. At the same time, the addition is set again to the field IX24 via a selector 25 for the updating of indexes.

COPYRIGHT: (C)1987,JPO&Japio

IDX	(i) の値	生成されるアドレス	ADD 23 の
00	(i) (8ビット)	00 AD_2	—
01	(i) (8ビット)	$i + AD_2$	実行
10	(i) (8ビット)	$i + AS \cdot AD_1$	実行
11	$AD_2 + AS \cdot AD_1$	$i + AS \cdot AD_1$	実行



⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭62-259140

⑤ Int. Cl.

G 06 F 9/36
12/02

識別記号

3 2 0

庁内整理番号

7361-5B
6711-5B

③ 公開 昭和62年(1987)11月11日

審査請求 未請求 発明の数 1 (全4頁)

④ 発明の名称 アドレス生成回路

① 特 願 昭61-101910

② 出 願 昭61(1986)5月6日

⑦ 発 明 者	飯 田	政 雄	東京都港区虎ノ門1丁目7番12号	沖電気工業株式会社内
⑦ 発 明 者	寿 福	利 夫	東京都港区虎ノ門1丁目7番12号	沖電気工業株式会社内
⑦ 発 明 者	森	義 一	東京都港区虎ノ門1丁目7番12号	沖電気工業株式会社内
⑦ 発 明 者	野 村	彰	東京都港区虎ノ門1丁目7番12号	沖電気工業株式会社内
⑦ 出 願 人	沖電気工業株式会社 東京都港区虎ノ門1丁目7番12号			
⑦ 代 理 人	弁理士 山本 恵一			

明 細 書

1. 発明の名称

アドレス生成回路

2. 特許請求の範囲

1 チップ信号処理プロセッサにおいて、

インデックス操作命令で指定される修飾設定アドレスを一時記憶するインデックスレジスタと、

該インデックスレジスタからの出力と演算命令で指定されるオフセットアドレスとを加算する加算器と、

該加算器に入力される前記オフセットアドレスの符号拡張を行なうか否かを制御する制御回路とを具備することを特徴とするアドレス生成回路。

3. 発明の詳細な説明

(産業上の利用分野)

本発明はアドレス生成回路に関し、更に詳細には1チップ信号処理プロセッサのメモリ・アドレスの生成回路におけるインデックス修飾を用いてアドレスを生成する方法に関する。

(従来の技術)

従来、インデックス修飾を用いたアドレス生成方式は情報処理学会編「新編 情報処理ハンドブック」、第17編3章(3)、昭和57年7月20日発行 オーム社 P.783~784に開示されている。以下、従来の方式を図面に基づいて説明する。

第5図は、従来のアドレス生成回路を示す回路図である。同図において、10は命令で指定されるオフセット・アドレス(A)を入力する入力端子、11は命令で指定される修飾設定アドレス(i)を入力する入力端子、12は生成されたアドレス・データが出力される出力端子、13はインデックス・レジスタ(以下、IXと略す)、14は2入力の加算器(以下、ADDと略す)である。

次に、第5図を用いて従来例の動作を説明する。

まず、インデックス操作命令により修飾設定アドレス(i)を入力端子11を介してIX13に設定しておく。次に、例えば演算命令によりオフセット・アドレス(A)を入力端子10を介して指定すると、アドレス生成回路はADD14においてIX13のデータ(i)を加算して、その結果のアドレス・デー

タ($A+i$)を出力端子12に出力する。そして、このアドレス・データ出力 $A+i=X$ の値で図示していないメモリのアドレスを指定する。

特に、信号処理プロセッサでは、通常、データ形式として2進数で2の補数表現を採用しており、 $IX13$ のデータ(i)と命令指定のオフセット・アドレス(A)との加算を符号付数で行っていた。これは、メモリのアドレス指定が修飾設定アドレス(i)に対して、プラス方向へ歩進する操作 $i+\alpha$ (α :定数)とマイナス方向へ歩進する $i-\alpha$ とが2の補数演算の特徴により、同じ命令語長のアドレス・データで同一の加算処理となるためであった。

(発明が解決しようとする問題点)

しかしながら、上記従来の回路構成では、限られた命令語長の中で、オフセット・アドレス・データまたはインデックス修飾データとに割当てられた語長に対して、符号ビットが1ビット分必要となる。このため、一回の命令操作で生成できるアドレス値の絶対値の範囲が狭くなり、アドレス生

成の命令ステップが増え、プログラム規模が大きくなると共に、処理時間が増えるという問題点があった。

本発明はこれらの問題点を解決するためのもので、命令語長の中のアドレス生成用ビット幅を最大限に利用できるインデックス修飾のアドレス生成回路を提供することを目的とする。

(問題点を解決するための手段)

本発明は前記問題点を解決するために、1チップ信号処理プロセッサにおいて、インデックス操作命令で指定される修飾設定アドレスを一時記憶するインデックスレジスタと、このインデックスレジスタからの出力と演算命令で指定されるオフセットアドレスとを加算する加算器と、この加算器に入力されるオフセットアドレスの符号拡張を行なうか否かを制御する制御回路とを具備している。

(作用)

以上のような構成を有する本発明によれば、インデックスレジスタの出力に対して、加算器において演算命令で指定されるオフセットアドレスの

データ値を加算して1チップ信号処理プロセッサのメモリ・アドレスを生成する。ここで、制御回路により加算器に入力されるオフセットアドレスの符号拡張を行なう符号拡張モードに加算器が設定され、またはオフセットアドレスの符号拡張を禁止する禁止モードに加算器が設定されることにより、2種類の生成アドレス値の範囲を選択的に使用できる。

したがって、本発明は前記問題点を解決でき、アドレス生成に伴う命令ステップ数を低減できるアドレス生成回路を提供できる。

(実施例)

以下、本発明の一実施例を図面に基づいて説明する。

第1図は、本発明の一実施例を示す回路図である。同図において、20は命令で指定されるオフセット・アドレス(A)を入力する入力端子、21は命令で指定される修飾設定アドレス(i)を入力する入力端子、22は生成されたアドレス・データが出力される出力端子、23は $m=8$ ビットの2入力の

ADD、24はIX、25、26は2入力1出力のセレクタ(以下、SELと略す)、27はオフセット・アドレス(A)の符号ビット拡張禁止ゲート、28は符号ビット拡張禁止ゲート27の動作設定端子である。

また、第2図は1チップ信号処理プロセッサのマイクロ命令の内部構成を示す図である。同図において、TYP1、TYP2はタイプ・フィールド、IXはインデックス・レジスタの選択フィールド、 i はアドレスの修飾設定データ(m ビット)、IDXはインデックス操作フィールド、Aはオフセット・アドレスのフィールド(n ビット)、AD₁はAの内部構成のデータビット、ASは1ビットの符号ビット、AD₂は $n-1$ ビットのデータビットである。なお、 $m>n$ の大小関係にある。

次に、本実施例の動作を説明する。

先ず、第2図(a)のインデックス操作命令を用いて、第1図のIX24にアドレス修飾データ i を設定し、次に、第2図(b)の演算命令を用いて、オフセット・アドレスAを入力端子21を介してADD23に入力して、アドレス生成演算を行ない、

特開昭62-259140(3)

出力端子22に生成データを出力する処理を行なう。

この時の、ADD23の演算指定やSEL25,26の動作指定について、第3図を用いて説明する。第3図は、本実施例における2ビットのIDXと生成アドレス内容の関係を示す図であり、該インデックス操作フィールドIDXの指定により選択できる4種の状態を示す。

IDX=00の時では、インデックス操作命令で設定したアドレス修飾データiは、第1図のIX24にそのまま保持されて、生成アドレス内容には、オフセット・アドレスAをそのまま出力するように、第1図のSEL26が切替わる。この結果、出力端子22には、Aを符号無数とみなしたアドレス値AD₁が出力される。

IDX=01の場合は、インデックス操作命令で設定したアドレス修飾データiは第1図のIX24に保持され、演算命令でオフセット・アドレスAを第1図の入力端子20に入力すると、ADD23は符号拡張禁止ゲート27が禁止モードに設定されて、Aを符号無数AD₁とみなして、 $i + AD_1$ の

加算処理を行なう。この加算結果が、SEL26を介して出力端子22に出力される。

IDX=10の場合には、インデックス操作命令で設定したアドレス修飾データiは第1図のIX24に保持されて、演算命令でオフセット・アドレスAが第1図の入力端子20に入力すると、ADD23は、符号拡張禁止ゲート27が符号拡張モードに設定されてAを符号付数とみなして、iと等しくなるビット長mまで符号拡張を行なって、 $i + A = i + A \cdot AS \cdot AD_1$ (ただし、 $AS \cdot AD_1$ はAの符号付数表示である)の加算を行なう。この加算結果が、SEL26を介して出力端子22に出力される。

IDX=11の場合には、IDX=10と同様の加算処理を行なった後、さらに、ADD23の出力がSEL26を介して出力端子22へ出力すると同時に、SEL25を介して再びIX24に設定してインデックス更新を行なう。

次に、上記の符号無加算と符号付加算の相違について説明すると、本実施例では $m = 8$ ビット、

$n = 6$ ビットの場合であり、インデックス操作命令で指定できる修飾設定アドレス(i)の範囲は10進数表示で $0 \leq i \leq 255$ となり、オフセット・アドレスAの範囲は符号無数として $0 \leq A \leq 63$ 、符号付数として $-32 \leq A \leq 31$ となる。このため、これらのアドレス・データ値を用いて、アクセスできるメモリアドレスの範囲を考えると、 $i = 63$ に対しては、本実施例における加算器モードの状態を示す第4図(a)(b)のようになる。従って、第4図(b)の符号付加算では修飾設定アドレス(i)を基準として前後に64の範囲でアドレッシングを行なう場合に有利であり、第4図(a)の符号無加算では修飾設定アドレス(i)を基準として、アドレスの増加方向に64の範囲でアドレッシングを行なう場合に有利となる。これは、いずれも、一回のメモリ・アクセスに対して、インデックス操作命令と演算命令の2ステップまたはインデックスレジスタ設定後では演算命令の1ステップでアドレス生成が行なえる。

尚、上記実施例では、符号拡張の禁止時のピッ

トを“0”に固定したが、“1”に固定すれば、インデックス修飾アドレスに対して、減算側のみのアドレッシング・モードとすることも可能である。

(発明の効果)

以上説明したように、本発明によれば、演算命令で指定するオフセット・アドレスのデータの値を加算する処理を符号付加算モードと符号無加算モードとの2種類により施し、生成アドレス値の範囲を2種選択できることにより、アドレス生成に伴う命令ステップ数を低減できるアドレス生成回路を提供できる。

4. 図面の簡単な説明

第1図は本発明の一実施例を示す回路図、第2図は1チップ信号処理プロセッサのマイクロ命令の内部構成を示す図、第3図は本実施例におけるIDXと生成アドレス内容の関係を示す図、第4図は本実施例における加算器モードの状態を示す図、第5図は従来のアドレス生成回路を示す回路図である。

特開昭62-259140(4)

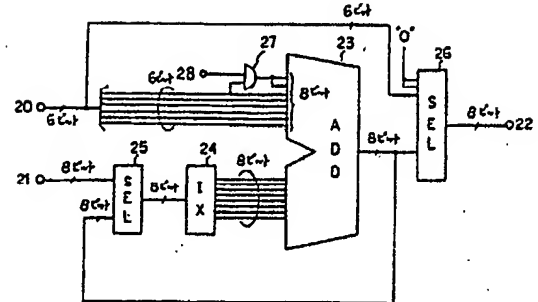
- 20, 21…入力端子、 22…出力端子、
23…加算器、
24…インデックスレジスタ、
25, 26…セクタ、
27…符号ビット拡張禁止ゲート、
28…動作設定端子。

特許出願人

沖電気工業株式会社

特許出願代理人

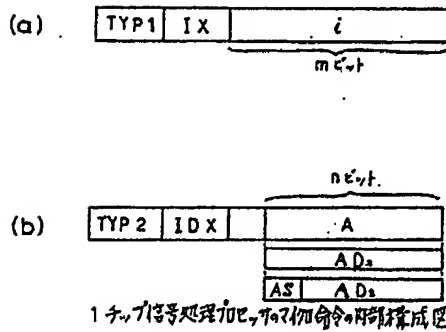
弁理士 山本 恵一



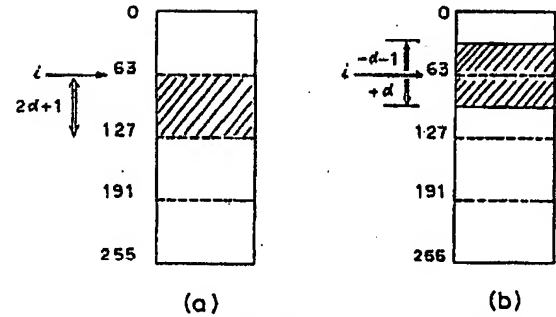
- 20, 21: ハカ端子 27: 符号ビット拡張禁止ゲート
22: 出力端子 28: 動作設定端子

本発明の一実施例を示す回路図

第 1 図



第 2 図



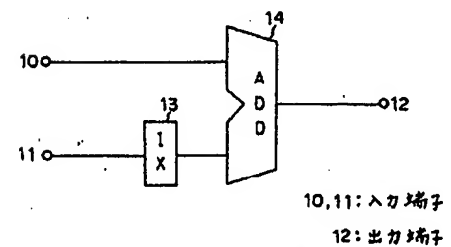
本実施例における加算器の内部状態図

第 4 図

IDX	(IX) の内容	生成アドレス内容	ADD動作
00	i (保持)	00 AD ₂	—
01	i (保持)	i + AD ₂	符号拡張
10	i (保持)	i + AS · AD ₂	符号付加
11	(IX) + AS · AD ₂ → i (更新)	i + AS · AD ₂	符号付加

本実施例における IDX と生成アドレス内容の関係図

第 3 図



従来のアドレス生成回路の回路図

第 5 図